

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-194851

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

G06F 1/14

G06F 1/26

(21)Application number : 10-000425

(71)Applicant : NEC SHIZUOKA LTD

(22)Date of filing : 05.01.1998

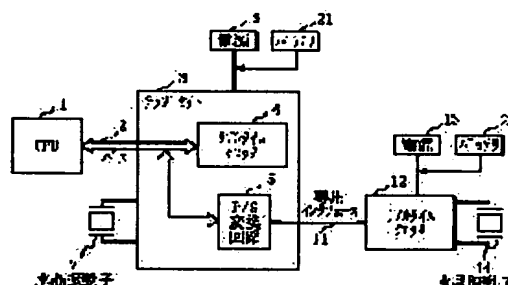
(72)Inventor : SANO KOJI

(54) CIRCUIT AND METHOD FOR DOUBLE CONSTITUTION OF REAL-TIME CLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the precision of the time of a real-time clock in a chip set.

SOLUTION: The circuit and method are characterized in that the chip set 3 having the real-time clock 4 inside, a bus 2, a dedicated interface 11, a real-time clock 12 connected to the dedicated interface 11, and a CPU 1, which is connected to the bus 2 and performs program control, are provided and the time information of the real-time clock 12 is copied to the real-time clock 4 when the CPU 1 is started up.



LEGAL STATUS

[Date of request for examination] 05.01.1998

[Date of sending the examiner's decision of rejection] 13.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-194851

(43)公開日 平成11年(1999) 7月21日

(51)Int.Cl.⁸

G 0 6 F 1/14
1/26

識別記号

F I

G 0 6 F 1/04 3 5 1 B
1/00 3 3 5 A

審査請求 有 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平10-425
(22)出願日 平成10年(1998) 1月 5 日

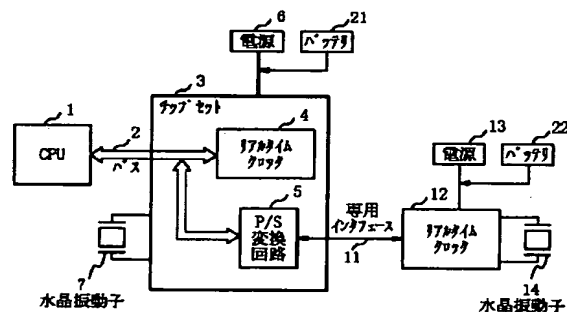
(71)出願人 000197366
静岡日本電気株式会社
静岡県掛川市下俣800番地
(72)発明者 佐野 浩司
静岡県掛川市下俣4番2 静岡日本電気株
式会社内
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 リアルタイムクロックの二重構成回路および二重構成方法

(57)【要約】

【課題】本発明の目的は、チップセット内の内部リアルタイムの時刻の精度を向上することにある。

【解決手段】内部にリアルタイムクロック4を有するチップセット3と、バス2と、専用インタフェース11と、専用インタフェース11に接続されたリアルタイムクロック12と、バス2に接続されプログラム制御を行うCPU1とを備え、CPU1の立ち上げ時にリアルタイムクロック12の時刻情報をリアルタイムクロック4にコピーすることを特徴としている。



【特許請求の範囲】

【請求項1】 内部に第1のリアルタイムクロックを有するチップセットと、前記チップセットの外部に接続された第2のリアルタイムクロックとを含むリアルタイムクロックの二重構成回路において、前記チップセットに接続されたプロセッサとを備え、前記プロセッサの立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーすることを特徴とするリアルタイムクロックの二重構成回路。

【請求項2】 前記第2のリアルタイムクロックは電源が落ちてからバッテリーに切り替わって電源が供給されることにより動作し続けることを特徴とする請求項1記載のリアルタイムクロックの二重構成回路。

【請求項3】 内部に第1のリアルタイムクロックを有するチップセットと、前記チップセットとバスで接続されプログラム制御を行うプロセッサと、前記前記チップセットとシリアルインタフェースで接続された第2のリアルタイムクロックと、前記第2のリアルタイムクロックの電源をバックアップするバックアップ電源とを備え、前記プロセッサの立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーすることを特徴とするリアルタイムクロックの二重構成回路。

【請求項4】 チップセット内の第1のリアルタイムクロックの時刻情報を前記チップセット外の第2のリアルタイムクロックの時刻情報を用いることによって時刻補正するリアルタイムクロックの二重構成方法であって、装置の立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーするステップを有することを特徴とするリアルタイムクロックの二重構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リアルタイムクロックの構成回路に関し、特に、二種類のリアルタイムクロックを用いたリアルタイムクロックの二重構成回路に関する。

【0002】

【従来の技術】従来、リアルタイムクロック内蔵方式として、リアルタイムクロック回路は、他の周辺回路と一緒にチップセットとして集積化され、電源供給や基準クロックもこれらの内蔵周辺回路と共用されていた。

【0003】また、リアルタイムクロック外付け方式として、外付けのリアルタイムクロックを使用しても、実装面積および回路規模を小さくする為、専用のシリアルインタフェースを使用していた。

【0004】

【発明が解決しようとする課題】しかしながら、上述のリアルタイムクロック内蔵方式では、リアルタイムクロックの回路を他の周辺回路と一緒にチップセット化し、

電源供給や基準クロックを他の内蔵周辺回路と共用化すると、バックアップ電流が増大し、また基準クロックをリアルタイムクロック専用で最適調整することができないため、バッテリー使用によるリアルタイムクロックの回路のバックアップ時間が短縮し、又精度が低下するという問題点がある。

【0005】特に、チップセット内の水晶発振回路は、CPU等とのバスインタフェースに合わせてチューニングされており、外付けの水晶振動子の負荷容量（CL）も、これに合わせる必要がある。そのため、この場合の負荷容量は、リアルタイムクロックに対しては最適でない値となり、最悪2〜3分/月の誤差を生じる場合がある。

【0006】また、上述の外付け方式では、専用のシリアルインタフェースを用いたシリアル通信であり、リアルタイムクロック内の各レジスタに対するアクセスが遅くなるため、システム全体のパフォーマンスが低下するという問題点がある。

【0007】例えば、専用のシリアルインタフェースのバス幅は通常1ビットであり、内蔵のリアルタイムクロックのバス幅は8ビットの場合、単純に考えても1/8のパフォーマンスになってしまう。

【0008】本発明の目的は、チップセット内の内部リアルタイムの時刻の精度を向上することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明のリアルタイムの二重構成回路は、内部に第1のリアルタイムクロックを有するチップセットと、前記チップセットの外部に接続された第2のリアルタイムクロックとを含むリアルタイムクロックの二重構成回路において、前記チップセットに接続されたプロセッサとを備え、前記プロセッサの立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーすることを特徴としている。

【0010】更に、前記第2のリアルタイムクロックは電源が落ちてからバッテリーに切り替わって電源が供給されることにより動作し続けることを特徴としている。

【0011】また、本発明のリアルタイムの二重構成回路は、内部に第1のリアルタイムクロックを有するチップセットと、前記チップセットとバスで接続されプログラム制御を行うプロセッサと、前記前記チップセットとシリアルインタフェースで接続された第2のリアルタイムクロックと、前記第2のリアルタイムクロックの電源をバックアップするバックアップ電源とを備え、前記プロセッサの立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーすることを特徴としている。

【0012】また、本発明のリアルタイムクロックの二重構成方法は、チップセット内の第1のリアルタイムクロックの時刻情報を前記チップセット外の第2のリアル

タイムクロックの時刻情報を用いることによって時刻補正するリアルタイムクロックの二重構成方法であって、装置の立ち上げ時に前記第2のリアルタイムクロックの時刻情報を前記第1のリアルタイムクロックにコピーするステップを有することを特徴としている。

【0013】

【発明の実施の形態】 先ず、作用について以下に説明する。

【0014】 装置が起動する際に、高い時計精度を有する外部リアルタイムクロックの情報で、チップセット内部のリアルタイムクロックの時刻補正を行うようにし、立ち上げ後はチップセット内部のリアルタイムクロックの時刻情報を参照しているようにしているため、精度の高い時刻情報をシステムパフォーマンスを落とすことなく得ることが可能となる。

【0015】 次に、本発明の実施の形態について図面を参照して説明する。

【0016】 図1は、本発明の実施の形態のブロック図である。

【0017】 図1を参照すると、本発明の実施の形態は、プロセッサでありプログラム制御を行うプログラム制御を行うCPU1と、チップセット3と、CPU1とチップセット3とのデータのやり取りを行うバス2と、チップセット3用のクロック源である水晶振動子7と、チップセット3用の電源である電源6と、リアルタイムクロック12と、チップセット3とリアルタイムクロック12とをシリアルでデータのやり取りを行う専用インタフェース11と、リアルタイムクロック12の専用電源である電源13と、リアルタイムクロック12のクロック源である水晶振動子14と、電源6の電源供給がなくなったときにバックアップ電源となるバッテリー21と、電源13の電源供給がなくなったときにバックアップ電源となるバッテリー22とを有する。

【0018】 チップセット3は、バス2に接続されているリアルタイムクロック4と、バス2に接続されているP/S変換回路5とから構成される。

【0019】 電源6と電源13の電源供給は共通の電源を使用しており、装置の電源がOFFになると電源6と電源13の両方が電源OFFになる。このとき、電源がOFFになると、電源6はバッテリー21に、電源13はバッテリー22にそれぞれ切り替る。

【0020】 リアルタイムクロック13はチップセット3の外にあり独立しているため、非常に精度の高い時刻を保証することができる。

【0021】 なお、装置全体の構成を図面で記述していないが、装置は、図1のブロック図を含む構成からなり、そのなかのCPU1が図1に記述されていない記憶部からプログラムを読み出しプログラム制御を行うことにより動作するものである。図2は、装置立ち上げ時（電源ON時または装置リセット時における立ち上げ）にお

るCPU1が動作するフローチャートである。

【0022】 次に、本発明の実施の形態の動作について図1と図2を参照して説明する。

【0023】 通常動作時のCPU1は、内部リアルタイムクロック4の情報を参照しながら動作している。

【0024】 今、図1のブロック図を含む装置が立ち上ると、初期設定の一処理として、外部のリアルタイムクロック12を内部のリアルタイムクロック4に時刻情報をコピーする（ステップS1）。

【0025】 コピーを終了し、その他の初期設定を行った後、CPU1は時刻情報を必要とする場合、内部のリアルタイムクロック4の情報を参照する。

【0026】 次に、装置の電源をOFFにすると、チップセット3は電源6からバッテリー21に切り変わったDC電源で供給され、内部のリアルタイムクロック4は動作する。長時間放置すると、時刻情報がずれ、やがてバッテリーが消耗して時刻情報が消去する。一方、バッテリー22で供給されている外部のリアルタイムクロック12は回路規模がチップセット4に比べて非常に小さいので、長時間放置しても長時間の動作に十分に対応できる。

【0027】 この状態で装置の電源をONにすると、上述した図2のフローチャートの動作を行うことになり、装置立ち上げ後（初期設定終了後）に使用するリアルタイムクロック4が精度の高い時刻に補正されることになる。

【0028】 以上説明したように、クロック7の精度が十分でなく、また電源6の供給断が発生しても、内部リアルタイムクロック4は、外部リアルタイムクロック12と同等の時計精度を有することが可能となる。

【0029】 また、通常動作時は、CPU1は、装置ON時に時刻の補正された内部リアルタイムクロック4の時刻情報を読めば良いため、システム性能の低下を招くことがない。

【0030】

【発明の効果】 以上説明したように、装置を起動する際に、専用のバックアップ電源と専用のクロックを有する外部リアルタイムクロックの時刻情報を読み出し、これで、内部リアルタイムクロックの時刻補正を行うため、供給されるクロックの精度が十分でなく、またバックアップ電流の大きいチップセット内のリアルタイムクロックでも時計精度を向上できるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態の一例を示すブロック図である。

【図2】 装置立ち上げ時の動作を示すフローチャートである。

【符号の説明】

1 CPU

2 バス

(4)

特開平11-194851

5

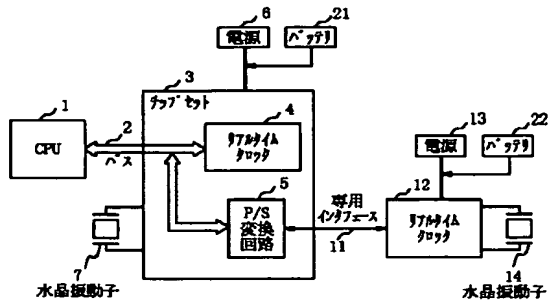
6

- 3 チップセット
4, 12 リアルタイムクロック
5 P/S変換回路
6, 13 電源

- * 7, 14 水晶振動子
11 専用インターフェース
21, 22 バッテリ

*

【図1】



【図2】

